



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-7835

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月13日

H 01 L 21/3205

6810-4M H 01 L 21/88  
6810-4M

A  
R

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 配線部材の製造方法

⑯ 特 願 平2-111274

⑰ 出 願 平2(1990)4月25日

⑱ 発 明 者 内 山 哲 夫 東京都小平市上水本町5丁目22番1号 日本マイクロコンピュータエンジニアリング株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日本マイクロコンピュータエンジニアリング株式会社  
東京都小平市上水本町5丁目22番1号

⑳ 代 理 人 弁理士 秋田 収 喜

#### 明細書

#### 1. 発明の名称

配線部材の製造方法

#### 2. 特許請求の範囲

1. 下地絶縁膜上にバリアメタル配線、アルミニウム配線の夫々を積層する積層構造の配線を延在し、この積層構造の配線をパッシベーション膜で覆う配線部材において、前記積層構造の配線のアルミニウム配線に、配線幅方向に横切る欠損部を設けたことを特徴とする配線部材。

2. 前記欠損部は切欠き形状又はスリット形状で形成されることを特徴とする請求項1に記載の配線部材。

3. 前記欠損部は、アルミニウム配線のアルミニウム粒径に比べて配線幅寸法が小さい積層構造の配線に設けられることを特徴とする請求項1又は請求項2に記載の配線部材。

#### 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、配線部材に関し、特に、バリアメタ

ル配線、アルミニウム配線の夫々を順次積層した積層構造の配線を有する配線部材に適用して有効な技術に関するものである。

(従来の技術)

本発明者が開発中のDRAMは、公知技術ではないが、例えば特願平1-65848号に記載されるように、積層構造の配線を使用する。前記開発中のDRAMは2層配線構造で構成され、第1層目配線、第2層目配線の夫々に積層構造が適用される。具体的に、DRAMのメモリセルに接続されるデータ線(第1層目配線)、ワード線(第2層目配線、シャント用ワード線)の夫々に積層構造が適用される。

前記積層構造の配線はMoSi<sub>3</sub>膜、アルミニウム合金膜、MoSi<sub>3</sub>膜の夫々を順次積層した3層構造で構成される。積層構造の中間のアルミニウム合金膜は、実質的な配線部分であり、比抵抗値が小さく、信号伝達速度を高める目的で構成される。下層のMoSi<sub>3</sub>膜は前記中間のアルミニウム合金膜のアルミニウム原子、半導体素子例えばメ

モリセルのセル選択用MOSFETの拡散層(半導体領域)の珪素原子の夫々の相互拡散を防止する目的で構成される。すなわち、下層のMoSi<sub>2</sub>膜はバリアメタル膜として使用される。上層のMoSi<sub>2</sub>膜は中間のアルミニウム合金膜の表面から成長するアルミニウムヒルロックを防止する目的で構成される。

前記DRAMの第1層目配線、第2層目配線の夫々の間には絶縁分離を行うパッシベーション膜が構成される。このパッシベーション膜は例えば酸化珪素膜を主体に構成される。最上層の第2層目配線の上層にはファイナルパッシベーション膜が構成される。DRAMは通常レジンモールド型のパッケージに封止され、耐湿性が若干低いので、ファイナルパッシベーション膜は耐湿性が高い窒化珪素膜を主体に構成される。

このように、DRAMは、積層構造の配線を使用することにより、前述のように原子の相互拡散やヒルロックを防止できるので、配線不良を低減し、高信頼性を得られる。

#### 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

下地絶縁膜上にバリアメタル配線、アルミニウム配線の夫々を積層する積層構造の配線を延在し、この積層構造の配線をパッシベーション膜で覆う配線部材において、前記積層構造の配線のアルミニウム配線に、配線幅方向に横切る欠損部を設ける。この欠損部は切欠き形状又はスリット形状で形成する。また、前記欠損部は、アルミニウム配線のアルミニウム粒径に比べて配線幅寸法が小さい積層構造の配線に設けられる。

#### 【作 用】

上述した手段によれば、前記パッシベーション膜が積層構造の配線のアルミニウム配線に与える応力を前記アルミニウム配線に設けた欠損部で吸収し、前記アルミニウム配線に加わる応力を低減できるので、前記アルミニウム配線のストレスマイグレーションの発生を低減し、積層構造の配線

【発明が解決しようとする課題】

しかしながら、本発明者は以下の問題点を見出した。

前述の積層構造の配線特に第2層目配線は、窒化珪素膜の応力が酸化珪素膜のそれに比べて大きいので、ファイナルパッシベーション膜から与えられる応力が大きい。このため、アルミニウム合金膜にストレスマイグレーションが生じ、積層構造の配線に断線不良が多発する。このストレスマイグレーションは、高集積化に基く、配線幅寸法がアルミニウム粒径に比べて小さくなると顕著に生じる。

本発明の目的は、積層構造の配線を有する配線部材において、前記積層構造の配線の断線不良を低減することが可能な技術を提供することにある。

本発明の他の目的は、前記目的を達成することができる製造方法を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

の断線不良を防止できる。

以下、本発明の構成について、積層構造の配線を有する半導体集積回路装置に本発明を適用した実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能をもつものは同一符号を付け、その繰り返しの説明は省略する。

#### 【発明の実施例】

##### (実施例 I)

本発明の実施例 I である積層構造の配線を有する半導体集積回路装置の構成を第1図(要部断面図)及び第2図(要部平面図)で示す。

第1図に示すように、半導体集積回路装置は単結晶珪素からなる半導体基板1で構成される。半導体集積回路装置はこれに限定されないが例えばDRAMで構成される。

前記半導体基板1の主面には半導体素子例えばMISFETのソース領域、ドレイン領域の夫々を形成する拡散層(半導体領域)2が構成される。基本的に、拡散層2は半導体基板1と反対導電型

で構成される。DRAMにおいて、前記MISFETはメモリセルのメモリセル選択用MISFET、周辺回路を構成するMISFETの夫々である。

前記拡散層2には積層構造の配線5の一部が接続される。積層構造の配線5は、パッシベーション膜(下地絶縁膜)3上に延在し、このパッシベーション膜3に形成された接続孔4を通して電気的に接続される。パッシベーション膜3は例えば酸化珪素膜を主体に形成される。

前記積層構造の配線5は、MoSi<sub>2</sub>膜5A、アルミニウム合金膜5B、MoSi<sub>2</sub>膜5Cの夫々を順次積層した3層配線構造で構成される。下層のMoSi<sub>2</sub>膜5Aは、前記拡散層2の珪素原子、アルミニウム合金膜5Bのアルミニウム原子の夫々の相互拡散を低減し、アロイスバイク現象を防止する、バリアメタル膜として使用される。この下層のMoSi<sub>2</sub>膜5Aは40~60[nm]程度の膜厚で形成される。中間層のアルミニウム合金膜5Bは、積層構造の配線5の主要部分であり、信号

伝達速度を速める目的で構成される。この中間層のアルミニウム合金膜5BはCu或はSi、又はCu及びSiを添加したアルミニウムで形成される。Cuはエレクトロマイグレーション耐圧を向上する作用を有する。Siは、中間層のアルミニウム合金膜5Bに拡散層2から珪素原子が拡散されることを低減し、アロイスバイク耐圧を向上する作用がある。また、積層構造の配線5は、中間層に前述の添加物が添加されないアルミニウム膜で構成してもよい。中間層のアルミニウム合金膜5Bは例えば500~1200[nm]程度の膜厚で形成する。上層のMoSi<sub>2</sub>膜5Cは中間層のアルミニウム合金膜5Bの表面に発生するアルミニウムヒルロックを低減する目的で構成される。上層のMoSi<sub>2</sub>膜5Cは15~40[nm]程度の膜厚で形成する。ただし、下層のMoSi<sub>2</sub>膜5Aと上層のMoSi<sub>2</sub>膜5Cの膜厚は、本発明におけるアルミニウム合金膜5Bの欠損部6に電流が流れた時に熔断しないだけの膜厚は必要であり、使用電流密度により変るものである。

このように構成される積層構造の配線5は、その延在方向に所定ピッチ毎に、中間層のアルミニウム合金膜5Bにその配線幅方向に横切る欠損部6が設けられる。第1図及び第2図に示すように、前記欠損部6は、配線幅方向において、積層構造の配線5を完全に横切るスリット形状で構成される。欠損部6は、積層構造の配線5の中間層のアルミニウム合金膜5Bをその延在方向において複数に分割し、この分割されたアルミニウム合金膜5B間に空間部を形成する。

欠損部6は、基本的に、アルミニウム粒径(グレインサイズ)に比べて配線幅寸法が小さい積層構造の配線5のアルミニウム合金膜5Bに構成する。例えば、欠損部6は、アルミニウム粒径が約2[μm]の場合、その約2分の1以下の約1[μm]以下の配線幅寸法を有する積層構造の配線5に成する。この種の配線幅寸法を有する積層構造の配線5は基本的に信号用配線として使用される。電源用配線は、エレクトロマイグレーション耐圧を確保する目的で、前述の配線幅寸法に比べ

て大きくなる。したがって、前記欠損部6は、少なくとも信号用配線として使用される積層構造の配線5に構成される。

前記積層構造の配線5上にはファイナルパッシベーション膜7が構成される。ファイナルパッシベーション膜7は、耐湿性を向上する目的で、酸化珪素膜に比べて耐湿性が高い、プラズマCVD法で堆積した窒化珪素膜を主体に構成される。

なお、本実施例は、説明を簡単化するために、積層構造の配線5の単層である1層配線構造を有する半導体集積回路装置に本発明を適用した場合であるが、本発明は、2層、3層等の複数層の積層構造の配線5を有する半導体集積回路装置に適用することもできる。

次に、前述の半導体集積回路装置の製造方法について、第3図及び第4図(各製造工程毎に示す要部断面図)と第5図(第4図に示す工程での要部平面図)とを用いて簡単に説明する。

まず、半導体基板1の主面部に拡散層2を形成し、この拡散層2上を含む半導体基板1の主面上

の全面にパッシベーション膜3を形成する。この後、前記拡散層2上において、パッシベーション膜3に接続孔4を形成し、この接続孔4から拡散層2の表面を露出させる。

次に、第3図に示すように、前記接続孔4を通して拡散層2の表面に接続する積層構造の配線5をパッシベーション膜3上に形成する。積層構造の配線5は、 $\text{MoSi}_2$ 膜5A、アルミニウム合金膜5B、 $\text{MoSi}_2$ 膜5Cの夫々を順次堆積し、これらをパターンニングすることにより形成される。 $\text{MoSi}_2$ 膜5A、5C、アルミニウム合金膜5Bの夫々は例えばスパッタ法で堆積する。 $\text{MoSi}_2$ 膜5A、5C、アルミニウム合金膜5Bの夫々のパターンニングは、周知のフォトリソグラフィ技術で形成したエッチングマスクを使用し、ドライエッチング技術で行う。ドライエッチングは例えば $\text{Cl}_2$ 系のエッチングガスを使用する。

次に、前記積層構造の配線5上を含む全面に、フォトリソグラフィ技術で形成したエッチングマスク10を形成する。このエッチングマスク10は、

積層する積層構造の配線5を延在し、この積層構造の配線5をファイナルパッシベーション膜7で覆う半導体集積回路装置において、前記積層構造の配線5のアルミニウム合金膜5Bに、配線幅方向に横切る欠損部6を設ける。この欠損部6はスリット形状で構成される。また、前記欠損部6は、少なくとも、アルミニウム粒径に比べて配線幅寸法が小さい積層構造の配線5に設けられる(例えば電源用配線は設けても設けなくてもよい)。この構成により、前記ファイナルパッシベーション膜7が積層構造の配線5の中間層のアルミニウム合金膜5Bに与える応力を前記欠損部6の空間部分で吸収し、前記アルミニウム合金膜5Bに加わる応力を低減できるので、前記アルミニウム合金膜5Bのストレスマイグレーションの発生を低減し、積層構造の配線5の断線不良を防止できる。

積層構造の配線5の中間層のアルミニウム合金膜5Bにストレスマイグレーションが発生した場合、どこにどれだけの抵抗が付加されるか不明確になる。また、積層構造の配線5の中間層のアル

ミニウム合金膜5Bにストレスマイグレーションが発生した場合、アルミニウム合金膜5Bの断線と共に、上下の $\text{MoSi}_2$ 膜5C及び5Aが破壊される可能性が高い。しかしながら、本発明は、積層構造の配線5に予じめ所定位置に所定の抵抗値をもつ欠損部6を付加したので、前述の問題は生じない。この積層構造の配線5の下層の $\text{MoSi}_2$ 膜5Aはバリアメタル膜として、上層の $\text{MoSi}_2$ 膜5Cはヒルロックの防止膜として夫々使用されると共に、配線材としても積極的に使用される。

次に、第4図及び第5図に示すように、前記エッチングマスク10を使用し、開口10Aから露出する積層構造の配線5の中間層のアルミニウム合金膜5Bを選択的にエッチングし、欠損部6を形成する。前記アルミニウム合金膜5Bのエッチングは例えば混酸アルミニウムエッチング液を使用するウェットエッチングで行う。

この後、前記エッチングマスク10を除去し、前記積層構造の配線5上を含む全面にファイナルパッシベーション膜7を形成する。

このように、パッシベーション膜(下地絶縁膜)3の上部に $\text{MoSi}_2$ 膜(バリアメタル配線)5A、アルミニウム合金膜5B、 $\text{MoSi}_2$ 膜5Cを順次

ミニウム合金膜5Bにストレスマイグレーションが発生した場合、アルミニウム合金膜5Bの断線と共に、上下の $\text{MoSi}_2$ 膜5C及び5Aが破壊される可能性が高い。しかしながら、本発明は、積層構造の配線5に予じめ所定位置に所定の抵抗値をもつ欠損部6を付加したので、前述の問題は生じない。この積層構造の配線5の下層の $\text{MoSi}_2$ 膜5Aはバリアメタル膜として、上層の $\text{MoSi}_2$ 膜5Cはヒルロックの防止膜として夫々使用されると共に、配線材としても積極的に使用される。

また、本発明は、アルミニウム合金膜5B及びその下層に形成された $\text{MoSi}_2$ 膜5A又は上層に形成された $\text{MoSi}_2$ 膜5Cからなる2層の積層構造の配線5に適用してもよい。

また、本発明は、前記積層構造の配線5の下層又は上層を、 $\text{TiSi}_2$ 膜、 $\text{TaSi}_2$ 膜、 $\text{WSi}_2$ 膜、 $\text{TiW}$ 膜等のいずれかで形成してもよい。

#### (実 例 例 II)

本実施例IIは、積層構造の配線の配線幅方向の一部分を横切る欠損部を設けた、本発明の第2実

施例である。

本発明の実施例Ⅱである積層構造の配線を有する半導体集積回路装置の構成を第6図(要部断面図)及び第7図(要部平面図)で示す。

本実施例Ⅱの半導体集積回路装置は、第6図及び第7図に示すように、積層構造の配線5の配線幅方向の一部分を横切る欠損部6が構成される。この欠損部6は切欠き形状で構成される。

前記欠損部6は、第7図に符号10Aを付けて二点鎖線で囲まれた開口を有するエッチングマスクを使用し、前記実施例Ⅰの製造方法と同様に、ウェットエッチングを行うことにより形成できる。エッチングマスクの開口10Aは、積層構造の配線5の中間層のアルミニウム合金膜5Bの一方(左側)の側面を露出させて形成される。

このように、本実施例Ⅱの半導体集積回路装置によれば、前記実施例Ⅰと実質的に同様の効果を奏することができると共に、積層構造の配線5のアルミニウム合金膜5Bの欠損部6にアルミニウム合金膜5Bを残存できるので、積層構造の配線

5の抵抗値を低減できる。

以上、本発明者によってなされた発明を、前記実施例に基き具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

例えば、本発明は、積層構造の配線を有する半導体集積回路装置に限定されず、積層構造を有するプリント配線基板等に適用できる。

#### 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

積層構造の配線を有する配線部材において、前記積層構造の配線の断線不良を低減できる。

#### 4. 図面の簡単な説明

第1図は、本発明の実施例Ⅰである積層構造の配線を有する半導体集積回路装置の要部断面図、

第2図は、前記半導体集積回路装置の要部平面図、

第3図及び第4図は、前記半導体集積回路装置の製造方法を説明するための各製造工程毎に示す要部断面図、

第5図は、前記第4図に示す工程での要部平面図、

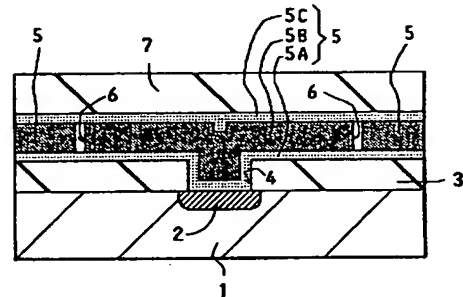
第6図は、本発明の実施例Ⅱである積層構造の配線を有する半導体集積回路装置の要部断面図、

第7図は、前記半導体集積回路装置の要部平面図である。

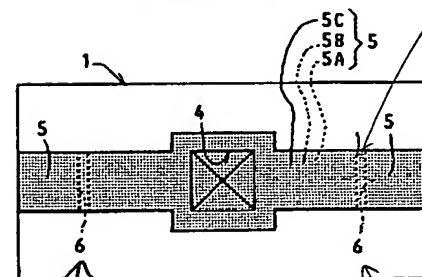
図中、3…パッシベーション膜、5…積層構造の配線、5A、5C… $\text{MoSi}_2$ 膜、5B…アルミニウム合金膜、6…欠損部、7…ファイナルパッシベーション膜、10…エッチングマスク、10A…開口である。

代理人 井理士 秋田収博

第1図



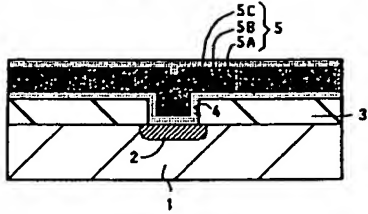
第2図



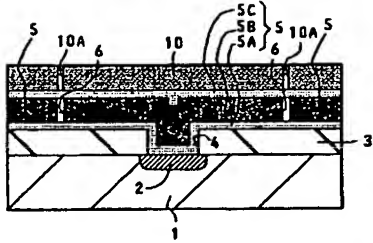
Hand surface area  
Left slit 6  
1st surface area  
Second surface area

triflop = 2  
defect = 2  
diffusion layer

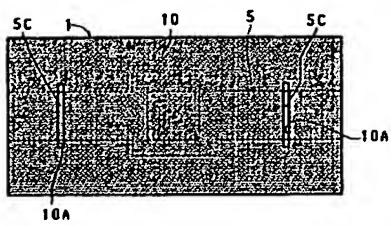
第3図



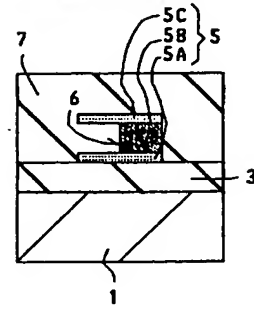
第4図



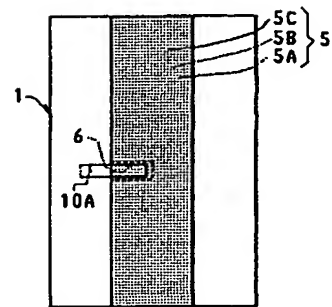
第5図



第6図



第7図





CLIPPEDIMAGE= JP404007835A  
PAT-NO: JP404007835A  
DOCUMENT-IDENTIFIER: JP 04007835 A  
TITLE: MANUFACTURE OF WIRING MEMBER

PUBN-DATE: January 13, 1992

**INVENTOR-INFORMATION:**

NAME  
UCHIYAMA, TETSUO

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI MICRO COMPUT ENG LTD	N/A

APPL-NO: JP02111274  
APPL-DATE: April 25, 1990

INT-CL\_(IPC): H01L021/3205

**ABSTRACT:**

**PURPOSE:** To make it possible to reduce the disconnection failure of a wiring of a laminated structure by a method wherein the Al wiring of the wiring of a laminated structure is provided with slit-shaped deficit parts, which cross in the direction of the wiring width of the wiring.

**CONSTITUTION:** A wiring 5 of a laminated structure is constituted of a three-layer wiring structure where an MoSi<SB>2</SB> film 5A, an Al alloy film 5B and an MoSi<SB>2</SB> film 5C are laminated in order. The film 5B which is the intermediate layer of the wiring 5 of a laminated structure is provided with slit-shaped deficit parts 6, which cross in the direction of the wiring width of the wiring 5, in every prescribed pitch in the extendedly provided direction of the wiring 5. In this case, a stress which is applied to the film 5B, which is the intermediate layer of the wiring 5 of a laminated structure, by a final passivation film 7 is absorbed by the space parts of the deficit parts 6 and the stress which is applied to the film 5B can be reduced. Thereby, the generation of a stress migration in the film 5B is reduced and the disconnection failure of the wiring 5 of a laminated structure can be prevented.

**COPYRIGHT:** (C)1992,JPO&Japio

Slot vs Stress

PTO 2002-3646

Japan, Kokai  
4-7835

METHOD FOR MANUFACTURING WIRING MEMBER  
[Haisen Buzai No Seizo Hoho]

Tetsuo Uchiyama

UNITED STATES PATENT AND TRADEMARK OFFICE  
Washington, D.C. July, 2002

Translated by: Schreiber Translations, Inc.



Country : Japan  
Document No. : 4-7835  
Document type : Kokai  
Language : Japanese  
Inventor : Tetsuo Uchiyama  
Applicants : Hitachi, Ltd.  
Hitachi Micro Comput Eng Ltd.  
IPC : H 01 L 21/3205  
Application date : April 25, 1990  
Publication date : January 13, 1992  
Foreign Language Title : Haisen Buzai No Seizo Hoho  
English Title : METHOD FOR MANUFACTURING WIRING  
MEMBER

1. Title of the Invention: METHOD FOR MANUFACTURING WIRING MEMBER

2. Claims

1. A wiring member, characterized by the fact that in a wiring member that extends a wiring with a laminated structure for laminating each of a barrier metal wiring and an aluminum wiring on an undercoat insulating film and covers the wiring with the laminated structure with a passivation film, deficit parts crossing in the wiring width direction are installed in the aluminum wiring of the above-mentioned wiring with a laminated structure.

2. The wiring member of Claim 1, characterized by the fact that the above-mentioned deficit parts are formed in a notched shape or slit shape.

3. The wiring member of Claim 1, characterized by the fact that the above-mentioned deficit parts are installed in the wiring with a laminated structure having a wiring width size smaller than the aluminum particle diameter of the aluminum

---

\*Numbers in the margin indicate pagination in the foreign text.

wiring.

### 3. Detailed explanation of the invention

(Industrial application field)

The present invention pertains to a wiring member. In particular, it pertains to an effective technique being applied to a wiring member having a wiring with a laminated structure in which a barrier metal wiring and an aluminum wiring are sequentially laminated.

(Prior art)

Though the DRAM being developed by this inventor is not a well-known technique, as described in Japanese Patent Application No. Hei 1[990]-65848, a wiring with a laminated structure is used. The above-mentioned DRAM being developed is constituted by a two-layer wiring structure, and a laminated structure is applied to each of the first layer wiring and the second layer wiring. Specifically, a laminated structure is applied to each of a data line (first layer wiring) and a word line (second layer wiring, word line for shunt) being connected to memory cells of the DRAM.

Wiring of the above-mentioned laminated structure is constituted by a three-layer structure in which  $\text{MoSi}_2$  layer, aluminum alloy film, and  $\text{MoSi}_2$  film are respectively sequentially laminated. The aluminum alloy film in the middle of the laminated structure is a substantial wiring part, has a small resistivity value, and is constituted to raise a signal

transmission speed. The  $\text{MoSi}_2$  film of the lower layer is constituted to prevent each interdiffusion of aluminum atoms of the above-mentioned intermediate aluminum alloy film and silicon

/2

atoms of a MOSFET diffusion layer (semiconductor area) for selecting a semiconductor element such as memory cell. In other words, the  $\text{MoSi}_2$  film of the lower layer is used as a barrier metal film. The  $\text{MoSi}_2$  film of the upper layer is constituted to prevent an aluminum hillock growing from the surface of the intermediate aluminum alloy film.

A passivation film for insulation and separation is constituted between each of the first layer wiring and the second layer wiring of the above-mentioned DRAM. The passivation film is mainly composed of a silicon oxide film, for instance. At the upper layer of the second wiring of the uppermost layer, a final passivation film is constituted. Since the DRAM is usually sealed in a resin mold type package and has a slightly low moisture resistance, the final passivation film is mainly composed of a silicon nitride film with high moisture resistance.

Thus, in the DRAM, with the use of the wiring with a laminated structure, as mentioned above, since the interdiffusion of atoms and the hillock can be prevented, disconnection inferiorities are reduced, and a high reliability is obtained. (Problems to be solved by the invention)

However, this inventor has discovered the following problems.

In the above-mentioned wiring with a laminated structure, in particular, in the second layer wiring, since the stress of a silicon nitride film is greater than that of the silicon oxide film, the stress being exerted from the final passivation film is large. For this reason, a stress migration is generated in the aluminum alloy film, and disconnection inferiorities are frequently generated in the wiring with a laminated structure. The stress migration is based on the high integration and is distinctly generated as the wiring width size becomes greater than the aluminum particle diameter.

The purpose of the present invention is to provide a technique that can reduce disconnection inferiorities of a wiring with a laminated structure in a wiring member having the above-mentioned wiring with a laminated structure.

Another purpose of the present invention is to provide a manufacturing method that can achieve the above-mentioned purpose.

The above-mentioned purposes, other purposes, and new characteristics of the present invention will be clarified by the description of this specification and the attached figures.

(Means to solve the problems)

The outline of the representative inventions of the inventions being presented in this application is briefly explained as follows.

The present invention provides a wiring member characterized by the fact that in a wiring member that extends a wiring with a

laminated structure for laminating each of a barrier metal wiring and an aluminum wiring on an undercoat insulating film and covers the wiring with the laminated structure with a passivation film, deficit parts crossing in the wiring width direction are installed in the aluminum wiring of the above-mentioned wiring with a laminated structure. The deficit parts are formed in a notched shape or slit shape. Also, the above-mentioned deficit parts are installed in the wiring with a laminated structure having a wiring width size smaller than the aluminum particle diameter of the aluminum wiring.

(Operation)

According to the above-mentioned means, since the above-mentioned passivation film absorbs the stress being exerted on the aluminum wiring of the wiring with a laminated structure by the deficit parts installed in the above-mentioned aluminum wiring and can reduce the stress being exerted on the above-mentioned aluminum wiring, the generation of the stress migration of the above-mentioned aluminum wiring is reduced, and disconnection inferiorities of the wiring with a laminated structure can be prevented.

Next, the constitution of the present invention is explained along with application examples in which the present invention is applied to a semiconductor integrated circuit device having a wiring with a laminated structure.

Also, in all the figures for explaining the application examples, the same symbol is given to the part with the same

function, and its repeated explanation is omitted.

(Application examples of the invention)

#### Application Example I

The constitution of a semiconductor integrated circuit device having a wiring with a laminated structure, which is Application Example I of the present invention, is shown in Figures 1 (a cross section showing the main parts) and Figure 2 (a plan view showing the main parts).

As shown in Figure 1, the semiconductor integrated circuit device is constituted by a semiconductor substrate 1 formed of a monocrystal silicon. The semiconductor integrated circuit device is not limited to it but is constituted by a DRAM, for instance.

On the principal plane of the above-mentioned semiconductor substrate 1, a diffusion layer (semiconductor region) 2 for forming each of a source region and a drain region of semiconductor elements such as MISFET is constituted. Basically, the diffusion layer 2 consists of the semiconductor substrate 1 and an opposite electroconductive type. In the DRAM, the above-

/3

mentioned MISFET is each of MISFET for selecting a memory cell and MISFET for constituting a peripheral circuit.

Part of a wiring 5 with a laminated structure is connected to the above-mentioned diffusion layer 2. The wiring 5 with a laminated structure extends on the passivation (undercoat insulating film) 3 and electrically through a connecting hole 4

formed in the passivation film 3. The passivation film 3 is mainly formed of a silicon oxide film, for instance.

The above-mentioned wiring 5 with a laminated structure is constituted with a three-layer wiring structure in which each of MoSi<sub>2</sub> film 5A, aluminum alloy film 5B, and MoSi<sub>2</sub> film 5C is sequentially laminated. The MoSi<sub>2</sub> film 5A of the lower layer reduces an interdiffusion of each of silicon atoms of the above-mentioned diffusion layer 2 and aluminum atoms of the aluminum alloy film 5B and is used as a barrier metal film for preventing an alloy spike phenomenon. The MoSi<sub>2</sub> film 5A of the lower layer is formed at a film thickness of about 40-60 (nm). The aluminum alloy film 5B of the intermediate layer is a main part of the wiring 5 with a laminated structure and is constituted to speed up the signal transmission speed. The aluminum alloy film 5B of the intermediate layer is formed of Cu or Si or Cu and Si-added aluminum. Cu has an action of improving an electromigration withstand voltage. Si has an action of reducing the diffusion of silicon atoms from the diffusion layer 2 to the aluminum alloy film 5 of the intermediate layer and improving the alloy spike withstand voltage. Also, the wiring 5 with a laminated structure may also be constituted by an aluminum film in which the above-mentioned additives are not added to the intermediate layer. The aluminum alloy film 5B of the intermediate layer is formed at a film thickness of about 500-1,200 (nm). The MoSi<sub>2</sub> film 5C of the upper layer is constituted to reduce an aluminum hillock being generated on the aluminum alloy film 5B of the intermediate



layer. The  $\text{MoSi}_2$  film 5C of the upper layer is formed at a film thickness of about 15-40 (nm). However, as the film thickness of the  $\text{MoSi}_2$  film 5A of the lower layer and the  $\text{MoSi}_2$  film 5C of the upper layer, the film thickness at which no melting cut is caused when a current flows to deficit parts 6 of the aluminum alloy film 5B, and it depends on the current density being employed.

In the wiring 5 with such a laminated structure, the deficit parts 6 crossing in the wiring width direction are installed in the aluminum alloy film 5B of the intermediate layer at a prescribed pitch in the extending direction. As shown in Figures 1 and 2, the above-mentioned deficit parts 6 are constituted in a slit shape completely crossing the wiring 5 with a laminated structure in the wiring width direction. In the deficit parts 6, the aluminum alloy film 5B of the intermediate layer of the wiring 5 with a laminated structure is divided into several in its extending direction, and space parts are formed between the divided aluminum alloy films 5B.

The deficit parts 6, basically, constitute the aluminum alloy films 5B with a laminated structure having a wiring width size smaller than the aluminum particle diameter (grain size). For example, when the aluminum particle diameter is about 2 ( $\mu\text{m}$ ), the deficit parts 6 are constituted in the wiring 5 with a laminated structure having a wiring width size of about 1 ( $\mu\text{m}$ ) of about 1/2 or less of the aluminum particle diameter. The wiring 5 with a laminated structure having such a wiring width size is basically used as a signal wiring. The purpose of a wiring for a

power source is to secure the electromigration withstand voltage, and its size is greater than the above-mentioned wiring width size. Therefore, the above-mentioned deficit parts 6 are constituted in the wiring 5 with a laminated structure being used as at least a signal wiring.

On the wiring 5 with the above-mentioned laminated structure, a final passivation film 7 is constituted. The purpose of the final passivation film 7 is to improve the moisture resistance, and the moisture resistance is higher than that of the silicon oxide film. It is mainly composed of a silicon nitride film deposited by a plasma CVD method.

Also, for simplicity of explanation, this application example shows the case where the present invention is applied to the semiconductor integrated circuit device with a monolayer wiring structure which is a single layer of the wiring 5 with a laminated structure. However, the present invention can also be applied to a semiconductor integrated circuit device having the wiring 5 with a laminated structure of several layers such as two layers and three layers.

Next, the method for manufacturing the above-mentioned semiconductor integrated circuit device is briefly explained using Figures 3 and 4 (cross sections showing the main parts shown in each manufacturing process) and 5 (a plan view showing the main parts in the process shown in Figure 4).

First, the diffusion layer 2 is formed on the principal plane part of the semiconductor substrate 1, and the passivation

film 3 is formed on the entire surface of the principal plane of the semiconductor substrate 1 containing the diffusion layer 2.

/4

Then, on the above-mentioned diffusion layer 2, a connecting hole 4 is formed in the passivation film 3, and the surface of the diffusion layer 2 is exposed from the connecting hole 4.

Next, as shown in Figure 3, the wiring 5 with a laminated structure being connected to the surface of the diffusion layer 2 through the above-mentioned connecting hole 4 is formed on the passivation film 3. The wiring 5 with a laminated structure is formed by sequentially depositing each of the  $\text{MoSi}_2$  film 5A, aluminum alloy film 5B, and  $\text{MoSi}_2$  film 5C and patterning them. Each of the  $\text{MoSi}_2$  films 5A and 5C and the aluminum alloy film 5B is deposited by a sputtering method, for instance. Each patterning of the  $\text{MoSi}_2$  films 5A and 5C and the aluminum alloy film 5B is carried out by a dry-etching technique using etching masks formed by a well-known photolithographic technique. In the dry-etching, for example, a  $\text{Cl}$  system etching gas is used.

Next, on the entire surface containing the surface of the wiring 5 with the above-mentioned laminated structure, etching masks 10 formed by the photolithographic technique are formed. The etching masks 10 are arranged at a prescribed pitch in the extending direction of the wiring 5 with a laminated structure. Openings 10A with a slit shape crossing the wiring width direction of the wiring 5 with a laminated structure are installed. The openings 10A are formed in the same direction at

a size greater than the wiring width size of the wiring 5 with a laminated structure to expose the opposite two side surfaces of the aluminum alloy film 5C of the intermediate layer.

Next, as shown in Figures 4 and 5, using the above-mentioned etching masks 10, the aluminum alloy film 5B of the intermediate layer of the wiring 5 with a laminated structure being exposed from the openings 10A is selectively etched, so that the deficit parts 6 are formed. The etching of the above-mentioned aluminum alloy film 5B is carried out by a wet-etching using a mixed acid aluminum etching solution, for instance.

Then, the above-mentioned etching masks 10 are removed, and the final passivation film 7 is formed on the entire surface containing the surface of the wiring 5 with the above-mentioned laminated structure.

Thus, in the semiconductor integrated circuit device in which the wiring 5 with a laminated structure, in which the  $\text{MoSi}_2$  film (barrier metal wiring) 5A, the aluminum alloy film 5B, and the  $\text{MoSi}_2$  film 5C are sequentially laminated, is extended on the upper part of the passivation film (undercoat insulating film) 3 and the wiring 5 with a laminated structure is covered with the final passivation film 7, the deficit parts 6 crossing in the wiring width direction are installed in the aluminum alloy film 5B of the wiring 5 with the laminated structure. The deficit parts 6 are formed in a slit shape. Also, the above-mentioned deficit parts 6 are installed at least in the wiring 5 with a laminated structure having a wiring width size smaller than the

aluminum particle diameter (for example, the wiring for a power source may be installed or may not be installed). With this constitution, since the above-mentioned final passivation film 7 absorbs the stress being exerted on the aluminum alloy film 5B of the intermediate film of the wiring 5 with a laminated structure by the space parts of the above-mentioned deficit parts 6 and can reduce the stress being exerted on the above-mentioned aluminum alloy film 5B, the generation of the stress migration of the above-mentioned aluminum alloy film 5B is reduced, so that disconnection inferiorities of the wiring 5 with a laminated structure can be prevented.

In case the stress migration is generated in the aluminum alloy film 5B of the intermediate layer of the wiring 5 of the laminated structure, it is not certain where the resistance is applied and how much the resistance is applied. Also, in case the stress migration is generated in the aluminum alloy film 5B of the intermediate layer of the wiring 5 with a laminated structure, the possibility that the upper and lower  $\text{MoSi}_2$  films 5C and 5A are broken along with the disconnection of the aluminum alloy film 5B is high. However, in the present invention, since the deficit parts 6 with a prescribed resistance value are added in advance to prescribed positions in the wiring 5 with a laminated structure, the above-mentioned problems are not caused. The  $\text{MoSi}_2$  film 5A of the lower layer of the wiring 5 with a laminated structure is used as a barrier metal film, and the  $\text{MoSi}_2$  film 5C of the upper layer is used as an anti-hillock film

and is also aggressively used as a wiring material.

Also, the present invention may also be applied to the wiring with a two-layer laminated structure consisting of the aluminum alloy film 5B and the  $\text{MoSi}_2$  film 5A formed on its lower layer or the  $\text{MoSi}_2$  film 5C formed on the upper layer.

Also, in the present invention, the lower layer or upper layer of the wiring 5 with the above-mentioned laminated structure may be formed of any of  $\text{TiSi}_2$  film,  $\text{TaSi}_2$  film,  $\text{WSi}_2$  film,  $\text{TiW}$  film, etc.

#### Application Example II

Application Example II is a second application example of the present invention in which a deficit part crossing part of a wiring width direction of the wiring with a laminated structure is installed. /5

The constitution of a semiconductor integrated circuit device having the wiring with a laminated structure which is Application Example II of the present invention is shown in Figure 6 (a cross section showing the main parts) and Figure 7 (a plan view showing the main parts).

In the semiconductor integrated circuit device of this Application Example II, as shown in Figures 6 and 7, a deficit part 6 crossing part of the wiring width direction of the wiring 5 with a laminated structure is constituted. The deficit part 6 is constituted in a notched shape.

The above-mentioned deficit part 6 can be formed by wet-etching using an etching mask having an opening enclosed by an

alternate long and two short dashes line marked with 10A in Figure 7 similarly to the manufacturing method of the above-mentioned Application Example I. The opening part 10A of the etching mask is formed by exposing one side surface (left side) of the aluminum alloy film 5B of the intermediate layer of the wiring 5 with a laminated structure.

Thus, according to the semiconductor integrated circuit device of this Application Example II, since effects substantially similarly to those of the above-mentioned Application Example I can be exerted and the aluminum alloy film 5B can be left in the deficit part 6 of the aluminum alloy film 5B of the wiring 5 with a laminated structure, the resistance value of the wiring 5 with a laminated structure can be reduced.

Hereto, the invention conducted by this inventor has been explained in detail based on the above-mentioned application examples, however needless to say, the present invention is not limited to the above-mentioned application examples but can be variously modified in the range where its essence is not deviated.

For example, the present invention is not limited to the semiconductor integrated circuit device having a wiring with a laminated structure but can be applied to printed-circuit board, etc., with a laminated structure.

(Effects of the invention)

Effects being obtained by the representative inventions of the present invention presented by this application are briefly

explained as follows.

In the wiring member having a wiring with a laminated structure, disconnection inferiorities of the wiring with the above-mentioned laminated structure can be reduced.

#### 4. Brief description of the figures

Figure 1 is a cross section showing the main parts of a semiconductor integrated circuit device having the wiring with a laminated structure which is Application Example I of the present invention.

Figure 2 is a plan view showing the main parts of the above-mentioned semiconductor integrated circuit device.

Figures 3 and 4 are cross sections showing the main parts shown in each manufacturing process for explaining the method for manufacturing the above-mentioned semiconductor integrated circuit device.

Figure 5 is a plan view showing the main parts in the above-mentioned process shown in Figure 4.

Figure 6 is a cross section showing the main parts of a semiconductor integrated circuit device having the wiring with a laminated structure which is Application Example II of the present invention.

Figure 7 is a plan view showing the main parts of the above-mentioned semiconductor integrated circuit device.

In the figures, 3 is a passivation film, 5 is a wiring with a laminated structure, 5A and 5C are MoSi<sub>2</sub> films, 5B is an



aluminum alloy film, 6 is a deficit part, 7 is a final passivation film, 10 is an etching mask, and 10A is an opening.

